

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 6月17日

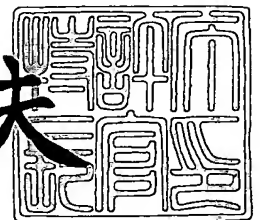
出願番号  
Application Number: 特願2003-172486  
[ST. 10/C]: [JP2003-172486]

出願人  
Applicant(s): 株式会社日立製作所

2004年 2月 6日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



出証番号 出証特2004-3007446

【書類名】 特許願

【整理番号】 H03007431

【提出日】 平成15年 6月17日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 1/04

H03K 3/02

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 宮本 直

【発明者】

【住所又は居所】 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 デバイス開発センタ内

【氏名】 作田 俊之

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100081938

【弁理士】

【氏名又は名称】 徳若 光政

【電話番号】 0422-46-5761

【先の出願に基づく優先権主張】

【出願番号】 特願2003- 90212

【出願日】 平成15年 3月28日

【手数料の表示】

【予納台帳番号】 000376

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置と CMOS 回路の高速化方法

【特許請求の範囲】

【請求項 1】 クロック信号により信号の取り込みと保持を行なう複数のフリップフロップ回路と、上記複数のフリップフロップ回路のうちの一対のフリップフロップ回路の間に設けられた CMOS 構成の複数の論理ゲート回路を含む複数の信号伝達経路とを備え、

上記複数の信号伝達経路は、

上記複数の論理ゲート回路がエンハンスメント型 MOS F E T で構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第 1 信号伝達経路と、

上記複数の論理ゲート回路のうちエンハンスメント型 MOS F E T で構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型 MOS F E T に置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第 2 信号伝達経路を含むことを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 において、

上記置き換えられる論理ゲート回路を構成するディプレッション型 MOS F E T は、置き換えられる前の上記エンハンスメント型 MOS F E T と同じ回路パターンで同じサイズのままのものにディプレッション化のための製造工程が追加されるものであることを特徴とする半導体集積回路装置。

【請求項 3】 請求項 1 において、

高しきい値電圧と低しきい値電圧のエンハンスメント型 MOS F E T と、ディプレッション型 MOS F E T とを備え、

上記フリップフロップ回路と上記第 1 信号伝達経路は、上記高しきい値電圧のエンハンスメント型 MOS F E T で構成され、

上記第 2 信号伝達経路は、上記高しきい値電圧のエンハンスメント型 MOS F E T と、上記低しきい値電圧のエンハンスメント型 MOS F E T とか、上記低しきい値電圧のエンハンスメント型 MOS F E T か、上記低しきい値電圧のエンハ

ンスメント型MOSFETと上記ディプレッション型MOSFETとか、上記ディプレッション型MOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項4】 請求項3において、

高耐圧で高しきい値電圧のMOSFETを更に備え、

外部端子との間で信号の授受を行う入出力回路は、上記高耐圧で高しきい値電圧のMOSFETと上記高しきい値電圧のMOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項5】 請求項3において、

メモリ回路を更に備え、

上記メモリ回路のメモリアレイは、上記高しきい値電圧のエンハンスメント型MOSFETで構成され、その周辺回路は、上記低しきい値電圧のエンハンスメント型MOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項6】 請求項3において、

アナログ回路を更に備え、

上記アナログ回路のうち、電流源を構成するMOSFETは上記高しきい値電圧のエンハンスメント型MOSFETを用い、差動MOSFET及びカスケード接続回路は上記低しきい値電圧のエンハンスメント型MOSFETを用いてなることを特徴とする半導体集積回路装置。

【請求項7】 請求項1ないし6のいずれかにおいて、

上記ディプレッション型MOSFETは、上記信号伝達経路により信号処理を行わないスタンバイ時において、ソースドレイン間電流が減少する方向に基板バックバイアス電圧が印加されてなることを特徴とする半導体集積回路装置。

【請求項8】 クロック信号により信号の取り込みと保持を行なう複数のフリップフロップ回路と、上記複数のフリップフロップ回路のうちの一対のフリップフロップ回路の間に設けられたCMOS構成の複数の論理ゲート回路からなる信号伝達経路の複数のとを備えた信号処理回路をエンハンスメント型MOSFETを用いて設計を行う第1ステップと、

上記複数の信号伝達経路のうち、信号伝達遅延時間が許容される信号伝達遅

延時間を超える信号伝達経路を抽出する第 2 ステップと、

上記抽出された信号伝達経路を構成する複数の論理ゲート回路のうち上記エンハンスメント型 MOS F E T で構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、ディプレッション型 MOS F E T に置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にする第 3 ステップとを含んでなることを特徴とする CMOS 回路の高速化方法。

【請求項 9】 請求項 8 において、

上記第 3 ステップは上記信号伝達経路のうちの最も大きな遅延時間を持つ上記エンハンスメント型の MOS F E T をディプレッション型 MOS に置き換えて上記第 2 ステップに進むことを特徴とする CMOS 回路の高速化方法。

【請求項 1 0】 請求項 9 において、

上記第 2 ステップにおいて抽出された上記信号伝達経路が無い時には、上記複数の信号伝達経路全ての遅延時間を上記許容される信号伝達遅延時間以下であるかどうかを検出する CMOS 回路の高速化方法。

【請求項 1 1】 請求項 1 0 において、

上記第 3 ステップにおいて上記信号伝達経路において全ての MOS F E T が上記ディプレッション型 MOS F E T であってこれを第一時間とすると、上記第 1 ステップに進んで上記許容される信号伝達遅延時間を上記第一時間として設定することを特徴とする CMOS 回路の高速化方法。

【請求項 1 2】 請求項 8 において、

上記第 3 ステップにおいて、上記抽出された信号伝達経路を構成する複数の論理ゲート回路のうち上記エンハンスメント型 MOS F E T で構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、上記エンハンスメント型 MOS よりもしきい値の小さな第 2 エンハンスメント型 MOS F E T に置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にすることを特徴とする CMOS 回路の高速化方法。

【請求項 1 3】 請求項 8 ないし 1 2 のいずれかにおいて、

上記第 1 ステップでの信号処理回路は、既存の半導体集積回路装置に搭載されたものであることを特徴とする CMOS 回路の高速化方法。

【請求項 14】 第1のフリップフロップの出力と第2のフリップフロップの入力の間に一又は複数の論理ゲートを有し、

上記複数の論理ゲートのうちの一部がディプレッション型MOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項 15】 第1のフリップフロップの出力に第1の組み合わせ回路と第2の組み合わせ回路の信号入力部が接続され、

上記第1及び第2の組み合わせ回路の信号出力部に第3の組み合わせ回路の信号入力部が接続され、

上記第3の組み合わせ回路の信号出力部に第2のフリップフロップの入力が接続され、

上記第1及び第2、第3の組み合わせ回路は一又は複数の論理ゲートで構成され、

上記論理ゲートのうちの一部がディプレッション型MOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項 16】 請求項 14 ないし 15 のいずれかにおいて、

上記半導体集積回路の論理ゲートは、そのしきい値電圧が第1しきい値電圧であるエンハンスメント型の第1MOSFETとそのしきい値電圧が第2しきい値電圧であるエンハンスメント型の第2MOSFETとを更に有し、

前記第1しきい値電圧は、前記第2しきい値電圧より大きいことを特徴とする半導体集積回路装置。

【請求項 17】 請求項 16 において、

外部端子との間で信号の授受を行う入出力回路を更に具備し、

上記入出力回路は、上記第1しきい値電圧を有する複数のMOSFETで構成され、上記複数のMOSFETは、異なる耐圧のMOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項 18】 請求項 16 において、

メモリ回路を更に備え、

上記メモリ回路のメモリアレイは、上記第1しきい値電圧のエンハンスメント型MOSFETで構成され、その周辺回路は、上記第2しきい値電圧のエンハン

メント型MOSFETで構成されることを特徴とする半導体集積回路装置。

【請求項 1 9】 請求項 1 6 において、

アナログ回路を更に備え、

上記アナログ回路のうち、電流源を構成するMOSFETは上記第 1 しきい値電圧のエンハンスメント型MOSFETを用い、差動MOSFET及びカスケード接続回路は上記第 2 しきい値電圧のエンハンスメント型MOSFETを用いてなることを特徴とする半導体集積回路装置。

【請求項 2 0】 請求項 1 4 ないし 1 5 のいずれかにおいて、

上記ディプレッション型MOSFETは、上記信号伝達経路により信号処理を行わないスタンバイ時において、ソースドレイン間電流が減少する方向に基板バックバイアス電圧が印加されてなることを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、半導体集積回路装置とCMOS回路の高速化方法に関し、CMOS回路で構成される半導体集積回路装置の高速動作化技術に利用して有効な技術に関するものである。

【0 0 0 2】

【従来の技術】

本願出願人においては、先にMOSFETのリーク電流による消費電力の増加と動作速度との調和を好適に図った半導体集積回路装置を特開平 1 1 - 1 9 5 9 7 6 号公報において提案している。上記公報に従えば、半導体集積回路装置中の複数の信号経路について、信号経路に沿って信号が伝わるディレイに余裕のある経路においては、高しきい値電圧のMOSFETにより構成し、逆に、ディレイに余裕の無い経路においては、サブスレッショルドリーク電流は大きい動作速度が速いような低しきい値電圧のMOSFETにより構成する。上記のようなMOSFETの高しきい値電圧と低しきい値電圧を実現する手段としては、ゲート酸化膜下の半導体基板の不純物濃度を変えること、ゲート酸化膜厚寸法を変えること、ウェル領域に与えられる基板バイアス電圧を変えること、ゲート長を変え



ること及びこれらの組み合わせにより構成される。また、入出力回路に高耐圧MOSFETと高しきい値電圧を用いたものとして特開平2001-015704号公報がある。

### 【0003】

#### 【特許文献1】

特開平11-195976号公報

#### 【特許文献2】

特開平2001-015704号公報

### 【0004】

#### 【発明が解決しようとする課題】

上記公報においては、CMOS回路の特徴を生かして低消費電力の動作速度との調和を図るという認識に止まるものである。このため、高速化にはおのずと限界があり、更なる高速化を行うためにはバイポーラトランジスタを用いる必要があるが、バイポーラトランジスタを用いて回路を構成すると消費電力及び集積度の点で大きな問題を有するものである。

### 【0005】

この発明の目的は、高集積化及び高速化を可能とした半導体集積回路装置を提供することにある。この発明の他の目的は、既存のCMOS回路を含んでその高速化が簡単にできるCMOS回路の高速化方法を提供することにある。発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

### 【0006】

#### 【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数の論理ゲート回路からなる信号伝達経路として、エンハンスメント型MOSFETで構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第1信号伝達経路と、複数の論理ゲート回路のうちエンハンスメント型MOSFET

Tで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型MOSFETに置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第2信号伝達経路とを用いる。

#### 【0007】

本願において開示される発明のうち他の代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路の複数個とを備えた信号処理回路をエンハンスメント型MOSFETを用いて設計を行い、上記複数個の信号伝達経路のうち、信号伝達遅延時間が許容される信号伝達遅延時間を超える信号伝達経路を抽出し、上記抽出された信号伝達経路を構成する複数個の論理ゲート回路のうち上記エンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、ディプレッション型MOSFETに置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にするという設計ステップを繰り返して、全ての信号伝達経路の信号伝達遅延時間が許容される信号伝達遅延時間に納まるようにする。

#### 【0008】

##### 【発明の実施の形態】

図1には、この発明に係るCMOS回路の設計方法の一実施例のフローチャート図が示され、図2にはそれに対応した回路の概念図が示されている。この実施例のCMOS回路は、半導体集積回路装置に構成されて、信号処理を行う内部論理回路に向けられており、特に制限されないが、高しきい値（以下、高 $V_{th}$ という）、低しきい値（以下、低 $V_{th}$ という）及び極低しきい値（以下、極低 $V_{th}$ という）からなる3種類のしきい値電圧を持つMOSFETの組み合わせによって構成される。異なるしきい値のMOSを作るのはイオンインプラのドーズ量を変更するか、基板バイアスを後述する方法で変更する等の方法がある。

#### 【0009】

図1のステップ（1）では、所望のデジタル信号処理を行なう信号処理回路が

全て高 $V_{th}$ のMOSFETにより構成されて設計され、各パスのディレイのシミュレーションが実施される。

#### 【0010】

図1のステップ(2)では、各パスのうちのディレイ(Delay)が一番大きなパスを選択する。つまり、図2に示すように、フリップフロップ回路FF1とフリップフロップ回路FF2のような2つのフリップフロップ回路と、その間に設けられた論理ゲート回路を構成するセル1ないしセル5で構成される信号伝達経路(信号伝搬経路又はパスともいう)における信号伝達時間を高速計算機を用いた回路動作シミュレーションによって算出し、最も大きなものを選択する。

#### 【0011】

図1のステップ(3)では、上記選択されたパスを構成するセルの中でディレイが一番大きな高 $V_{th}$ セルを抽出し、極低 $V_{th}$ セルに置き換える。つまり、図2のように、一番遅いセル3を抽出し、それを極低 $V_{th}$ に置き換える。

#### 【0012】

図1のステップ(4)では、上記置き換えられたセルのディレイ値を0.6倍にし、パスのディレイを計算する。つまり、図2に示すように極低 $V_{th}$ に置き換えを示すためにハッチングが付加されたセル3のディレイを、上記置き換え前ディレイ遅延時間(1200ps)の0.6倍にして、そこでのディレイ値として720psを算出する。

#### 【0013】

図1のステップ(5)では、上記計算されたディレイ値が目標値により小さいかの判定を行う。つまり、図2のように上記極低 $V_{th}$ に置き換えられたセル3のディレイ値を720psとして合計の遅延時間が3120psを求めて、目標の3000ps以下となるかの判定を行う。

#### 【0014】

図1のステップ(6)では、上記のように合計の遅延時間が3120psとなって、もしも目標の3000ps以下であるときには、選択したパスのすべてのパスが極低 $V_{th}$ に置き換えられたかを判定し、図2のようにセル3のみが極低 $V_{th}$ とされたときのように未だ極低 $V_{th}$ セルにならないセル1~2、4、5が存在

するときには、ステップ（３）に戻る。すべてのセルを極低 $V_{th}$ セルに置き換えたなら、かかるパスでのそれ以上の高速化はできないのでステップ（１）に戻り、全てのセルを極低 $V_{th}$ セルに置き換えたのならば、目標のディレイを達成するために、論理合成の段階から上記のようなパスができないように回路を組みなおすか、又は目標のディレイを全てのセルを極低 $V_{th}$ セルに置き換えたパスのディレイとして置き換えをすればよい。

#### 【0015】

図１のステップ（３）では、上記同様に未だ極低 $V_{th}$ セルにならないセル１～２、４、５の中からディレイが一番大きな高 $V_{th}$ セルを抽出し、極低 $V_{th}$ セルに置き換える。つまり、図２に示した例では一番遅いセル４を抽出し、それを極低 $V_{th}$ に置き換える。

#### 【0016】

図１のステップ（４）では、上記置き換えられたセルのディレイ値を０．６倍にし、パスのディレイを計算する。つまり、図２のように上記極低 $V_{th}$ に置き換えられる前のセル３の遅延時間（９００ｐｓ）を０．６倍にして、極低 $V_{th}$ に置き換えられたセル３のディレイ値を５４０ｐｓとして算出する。

#### 【0017】

図１のステップ（５）では、上記計算されたディレイ値が目標値により小さいかの判定を行う。つまり、図２のように更に極低 $V_{th}$ に置き換えられたセル４のディレイ値を５４０ｐｓのように修正して、かかるパスでの合計の遅延時間が２７６０ｐｓであることを求めて、それが目標の３０００ｐｓ以下となるかの判定を行う。

#### 【0018】

上記ステップ（５）において、上記１つのパスのディレイが目標値よりも小さいと判定されたなら、ステップ（７）において残りの全てのパスについてディレイが目標値より小さいかを判定し、目標値よりも大きなパスがまだ存在するときにはステップ（２）に戻り、同様のステップを繰り返す。

#### 【0019】

ステップ（７）において、すべてのパスのディレイが目標値より小さいと判定

されたなら、ステップ（８）において各パスのディレイを再シミュレーションして確認を行う。

#### 【0020】

図２のように、シミュレーションにより、遅延時間が目標値よりも大きなパスを取り出し、その中で図１のステップ（２）以降の処理を行うようにしてもよい。また、ステップ（６）において、選択したパスのすべてのセルを極低 $V_{th}$ セルに置き換えても、目標値以下に到達しないときには、回路が正常に動作しないこととなるので、かかるパスでの遅延時間を新たな目標値に置き換えて、そのCMOS回路での最高速度の回路を設計するようにすればよい。

#### 【0021】

ステップ（１）において、所望のデジタル信号処理を行なう信号処理回路は、新たに設計されたものである必要はなく、既存のCMOS回路であってもよい。例えば、現在動作しているもの、あるいは旧世代として既に開発されたマイクロプロセッサ等のようにマクロ化されたCMOS回路において、その動作周波数が遅いことだけがネックとなって新たな回路設計の開発が必要なものは、その設計データをそのまま用い、その高速化のために本願発明に係るCMOS回路の高速化方法を適用することにより簡単に回路の高速化を図ることができる。このようなCMOS回路の高速化方法では、マイクロプロセッサ等のようなデジタル信号処理を行うの回路機能そのものは、低速動作での正常な回路動作が確認されているので、格別な回路デバッグを行うことなく高速化が可能となる。

#### 【0022】

ここで、極低 $V_{th}$ であるMOSFETは、ディプレッション型MOSFETで構成される。一般的にディプレッション型MOSFETと言われているものは、例えばNチャネルMOSFETの場合には、図３に示すようにゲート、ソース間電圧 $V_{gs}$ が０の時にドレイン、ソース間電流 $I_{ds}$ が流れていて、ある一定以上の負のゲート、ソース間電圧 $V_{gs}$ を加えるとドレイン、ソース間電流 $I_{ds}$ が０になるものをいう。また、PチャネルMOSFETの場合には、図示しないがゲート、ソース間電圧 $V_{gs}$ が０の時にドレイン、ソース間電流 $I_{ds}$ が流れていて、ある一定以上の正のゲート、ソース間電圧 $V_{gs}$ を加えるとドレイン、ソース間

電流  $I_{ds}$  が 0 になるものをいう。

#### 【0023】

一般に  $V_{th}$  値が低い MOSFET はドリーク電流が大きく、単位ゲート幅あたりのリーク電流は、およそ極低  $V_{th}$ 、低  $V_{th}$  の MOSFET のリーク電流はそれぞれ、高  $V_{th}$  の MOSFET のリーク電流の約 100 倍、10 倍である。このため、 $V_{th}$  が低い MOSFET を多数使用するとリーク電流が許容値を超えてしまう。また、チップ全体のリーク電流値をある許容される値に抑える場合、 $V_{th}$  が低い MOSFET は使用可能な個数は少なくなる。一方、 $V_{th}$  が低いほどドレイン電流が大きくなるため高速化への寄与率は高くなる。

#### 【0024】

図 1 において、ステップ (3) において、高  $V_{th}$  セルを前記のように極低  $V_{th}$  に置き換える前に、遅延時間の大きなセルから順に低  $V_{th}$  に置き換えるようにし、ステップ (6) において、1 つのパスのすべてのセルが高  $V_{th}$  から低  $V_{th}$  に置き換えた後においても目標値に到達しないときに、ステップ (3) において、上記置き換えられた低  $V_{th}$  セルの中から最も遅い順に低  $V_{th}$  セルを極低  $V_{th}$  に置き換えるようにしてもよい。この構成では、リーク電流の大きな極低  $V_{th}$  の使用数を減らすことができるので、低消費電力化が可能となる。つまり、単純に 1 個の極低  $V_{th}$  セルを用いる場合と 10 個の低  $V_{th}$  セルを用いる場合とで同じリーク電流が増加することとなるので、例えば上記低  $V_{th}$  を 5 個増加させて、極低  $V_{th}$  セルを 1 個減らせるなら、高速化のために増加するリーク電流を半分に減らすことができる。

#### 【0025】

上記高  $V_{th}$  のセルから極低  $V_{th}$  に置き換えたセルの遅延時間を高  $V_{th}$  セルの遅延時間の 0.6 倍としたのは、前記のように設定された高  $V_{th}$  と極低  $V_{th}$  との相対的な関係により選ばれた数値であり、極低  $V_{th}$  と高  $V_{th}$  のそれぞれのしきい値電圧を変更することにより、上記の関係は修正されるものである。また、前記の例のようなしきい値電圧において、高  $V_{th}$  のセルを低  $V_{th}$  のセルに置き換えた場合には、例えば遅延時間を高  $V_{th}$  セルの遅延時間の 0.8 倍程度にすればよい。

#### 【0026】

図4には、デジタル論理回路部におけるパス本数と遅延時間の関係を説明する一例の分布図が示されている。例えば、高 $V_{th}$ のMOSFETにより構成し、目標値である3 nsecを超えるようなパスに対して、その一部又は全部に対して極低 $V_{th}$ のゲート回路を加えることにより、それぞれのパスでの遅延時間を上記目標値である3 nsec以内となるようにすることができる。

### 【0027】

下記の表1には、本願発明者において検討されたあるデジタル論理回路について、MOSFETを高 $V_{th}$ のみ、低 $V_{th}$ のみ、極低 $V_{th}$ のみ、及び高 $V_{th}$ と低 $V_{th}$ (30%)、高 $V_{th}$ と極低 $V_{th}$ (2%)とした場合のそれぞれの動作周波数及びスタンバイ電流の関係が示されている。以下の表1のように高 $V_{th}$ のMOSFETを低 $V_{th}$ のMOSFETに置き換えても動作周波数比は1.25のようにそれほど高くできない。また、高 $V_{th}$ のMOSFETを全て極低 $V_{th}$ のMOSFETに置き換えると、動作周波数は1.75のように大幅に高くなるが、リーク電流比が220のように大きくなりすぎて实际的ではない。

### 【0028】

表1

|                              | 高 $V_{th}$ のみを1<br>とした時の<br>動作周波数比 | 高 $V_{th}$ のみを1<br>とした時の<br>リーク電流比 |
|------------------------------|------------------------------------|------------------------------------|
| 高 $V_{th}$ のみ                | 1                                  | 1                                  |
| 低 $V_{th}$ のみ                | 1.25                               | 11.66                              |
| 極低 $V_{th}$ のみ               | 1.75                               | 220.00                             |
| 高 $V_{th}$ +低 $V_{th}$ (30%) | 1.25                               | 4.20                               |
| 高 $V_{th}$ +極低 $V_{th}$ (2%) | 1.7                                | 5.56                               |

### 【0029】

そこで、高 $V_{th}$ のMOSFETと低 $V_{th}$ のMOSFETとを組み合わせた場合

には、リーク電流比でみるなら低 $V_{th}$ のみを用いた場合に比べてある程度改善できるものの、肝心の動作周波数比は低 $V_{th}$ のみの場合と同じ程度しか改善できない。これに対して、高 $V_{th}$ のMOSFETと極低 $V_{th}$ のMOSFETとの組み合わせは、動作周波数比が極低 $V_{th}$ のみにほぼ匹敵するように大幅に改善することができるとともに、リーク電流比の増加は上記高 $V_{th}$ と低 $V_{th}$ とを組み合わせに比べて若干大きくなる程度に抑えることができる。なお、リーク電流の増加は、後述する基板バイアスの切り替えで低減させることができるものである。

#### 【0030】

図5には、この発明が適用される半導体集積回路装置の一実施例の概略ブロック図が示されている。同図の各ブロックは、半導体集積回路装置LSIを構成する半導体チップ上におけるおおよその幾何学的な配置に合わせて各回路ブロックが示されている。この実施例は、内部回路としてメモリ部、データパス部、アナログ回路部及びデジタル論理回路部が形成され、チップの周辺にはI/O（入出力）回路部が配置される。

#### 【0031】

この実施例では、特に制限されないが、しきい値電圧 $V_{th}$ が異なる5種類のMOSFETにより構成される。上記5種類の $V_{th}$ としては、デジタル論理回路に用いられる極低 $V_{th}$ と、高 $V_{th}$ 及び低 $V_{th}$ の他に、厚膜低 $V_{th}$ と厚膜高 $V_{th}$ の2種類が加えられる。厚膜低 $V_{th}$ と厚膜高 $V_{th}$ は、そのゲート絶縁膜の膜厚が厚く形成されることによりゲートに高電圧を加えることができる高耐圧MOSFETとして使用される。

#### 【0032】

図6には、デジタル論理回路の一実施例の回路図が示されている。この実施例のデジタル論理回路は、入力信号a, b, c, d, e, fに対して1つの出力信号xが形成される。論理段としては各入力信号a, b, c, d, e, fがインバータ回路、ゲート回路からなる4段の論理回路を通して出力信号xが形成される。上記各入力信号a, b, c, d, e, fは、前記図1のようにそれぞれがフリップフロップ回路によりクロック信号に同期して出力され、上記出力信号xはクロック信号に同期してフリップフロップ回路に取り込まれる。



## 【0033】

この実施例のデジタル論理回路は、出力信号  $x$  に着目した論理回路が示されており、各ゲート回路のファンアウト数は1つであるが、実際には、上記入力信号  $a$ ,  $b$ ,  $c$ ,  $d$ ,  $e$ ,  $f$  を含めて各論理段の出力信号は図示しない他の論理ゲート回路に向けて出力されることがある。ファンアウト数の多いインバータ回路や論理ゲート回路では、負荷容量が大きくなりそこでの信号伝播遅延時間が長くなってしまう。このような信号伝播遅延時間の大きなゲート回路が、前記のように高  $V_{th}$  から極低  $V_{th}$  に置き換えられて、出力信号  $x$  が得られるまでの信号伝播遅延時間が目標値内となるようにされる。

## 【0034】

このようにデジタル論理回路は、前記高  $V_{th}$  と極低  $V_{th}$  の組み合わせにより構成される。つまり、基本的には高  $V_{th}$  としての前記のようにエンハンスメント型 MOSFET と極低  $V_{th}$  としてのディプレッション型 MOSFET との組み合わせにより構成されるが、上記エンハンスメント型 MOSFET としては高  $V_{th}$  の MOSFET と低  $V_{th}$  の MOSFET の組み合わせによりパスでの遅延が目標値に達するものがあれば低  $V_{th}$  も加えられるようにしてもよい。

## 【0035】

デジタル論理回路部分では、上記のように極低  $V_{th}$  の MOSFET (ディプレッション型) と高  $V_{th}$  の MOSFET とを使用する。MOSFET の使い分けは論理セル単位で行われる。MOSFET のリーク電流は  $V_{th}$  値に対して指数関数的に増加するため、ディプレッション型になるまで  $V_{th}$  値を下げた MOSFET はリーク電流が大きい。そのため、ディプレッション型の MOSFET を使用すると、スタンバイ電流の増加や熱暴走の恐れがあったため、従来の CMOS 回路ではディプレッション型の極低  $V_{th}$  の MOSFET は使用されなかった。しかし、極低  $V_{th}$  の MOSFET を用いたセルは、高  $V_{th}$ 、低  $V_{th}$  の場合よりも大幅な高速化が可能のため、クリティカルパスを十分高速にすることが可能である。そこで、ディプレッション型の極低  $V_{th}$  の MOSFET をクリティカルパスにのみへの適用に制限してリーク電流を抑えて高速化を行なう。以上により、デジタル論理回路部分では、極低  $V_{th}$  と高  $V_{th}$  を使用して高速化リーク電流の抑制を行な

う。

#### 【0036】

図7には、上記デジタル論理回路部を構成するデータパスの一実施例の回路図が示されている。データパスでは、ビット0～64 (bit0～bit64)における相互の演算速度を同一にする必要があるために $V_{th}$ 値を統一する必要がある。このため、極低 $V_{th}$ を使用すると極低 $V_{th}$ のMOSFETの使用割合が増え、リーク電流が多くなってしまう。そこで、データパスには対応する論理ゲート回路又はインバータ回路は同じく高 $V_{th}$ 又は低 $V_{th}$ を使用し、各ビット0～64の出力タイミングをほぼ同じくするようにして高速化とリーク電流低減を行なう。

#### 【0037】

アナログ回路は、低 $V_{th}$ と高 $V_{th}$ から構成される。例えば、図8に示すような差動回路では、差動MOSFET Q1とQ2が低 $V_{th}$ により構成され、動作電流を形成する電流源MOSFET Q3が高 $V_{th}$ により構成される。アナログ回路の電流源MOSFETで極低 $V_{th}$ や低 $V_{th}$ のMOSFETを使用するとチャネル長変調のため電流値が一定にならない。この場合、カスケード接続を用いるのが公知であるが、電流源で極低 $V_{th}$ 、低 $V_{th}$ のMOSFETを使用すると消費電力が多くなってしまう。このため、電流源のMOSFETには高 $V_{th}$ のMOSFETを使用する。

#### 【0038】

アナログ回路が低電圧で動作させられる場合には、 $V_{th}$ が高いとカスケード接続になった回路が動作不能になる可能性がある、そこで、図9に示したようなカスケード接続のMOSFET回路には $V_{th}$ が低いMOSFETを使用する必要があるが、 $V_{th}$ が低すぎるとゲインが低くなってしまいう問題もある。そこでカスケード接続部には低 $V_{th}$ を使用する。このようにして、アナログ回路では、高 $V_{th}$ 、低 $V_{th}$ を使用してリーク電流を低減しながら、ある程度の高速化を達成する。また、アナログ回路に含まれるデジタル・アナログ・コンバータの高電圧部では、高 $V_{th}$ 、厚膜低 $V_{th}$ を使用してリーク電流を抑えつつ高速化を行なう。

#### 【0039】

メモリ部は、図10のブロック図に示すようにメモリアレイと、Xデコーダ、

Xドライバ、Yデコーダ、Yドライバやセンスアンプ及びリード／ライト回路等のメモリ周辺回路に分けられ、メモリアレイは高 $V_{th}$ により構成され、メモリ周辺回路は低 $V_{th}$ により構成される。メモリアレイに、低い $V_{th}$ のMOSFET（極低 $V_{th}$ 、低 $V_{th}$ ）を使用すると歩留まりが低下する。

#### 【0040】

このため、メモリアレイ部分は高 $V_{th}$ のMOSFETを使用して非動作時の消費電力を低くすると共に動作マージン、高歩留まりを確保する。メモリ周辺回路については、アドレスのデコード回路等図10に図示されているメモリ周辺回路は、ビット毎の速度ばらつきの発生を抑えるために、 $V_{th}$ 値を統一する必要がある。このため、極低 $V_{th}$ のMOSFETを使用すると、極低 $V_{th}$ 化率が高くなり過ぎ、リーク電流が大きくなり過ぎる。よって、メモリ周辺回路部分に低 $V_{th}$ のMOSFETを使用することによってリーク電流を低減しながらある程度的高速化を達成する。又、メモリから読み出されたデータはセンスアンプで増幅された後、図示しないメインアンプで更に増幅されて出力ドライバで駆動されてデータが所定の場所に転送される。

#### 【0041】

ここで、上記メインアンプ、出力ドライバには図14に示されるようなトライステートバッファが用いられる。この動作マージンを確保するために、しきい値電圧 $V_{th}$ が高 $V_{th}$ のMOSFETが用いられる。又、ビット毎の速度ばらつきの発生を抑えるために、MOSFETのしきい値電圧 $V_{th}$ 値を統一する必要があるため、出力ドライバを構成するMOSFETは、夫々のビット単位で見ると同じ $V_{th}$ を有する構成である。又これらのドライバはサイズが大きいため、すべて低 $V_{th}$ にすると、リーク電流が大きくなってしまう。そこで、高 $V_{th}$ を用いる。

#### 【0042】

このようなメモリ部においては、細部までに信号伝達速度と消費電力を考慮して設計すると設計期間が非常にかかってしまい、又メモリというものは他の部分にも設計資産として使いまわすことが多いがそれも出来なくなってしまう。よって細部までに信号伝達速度と消費電力を考慮して設計というものは現実的ではないことも多い。そこで、メモリアレイ、Xドライバ等のブロックごとにMOSF

ETのしきい値電圧 $V_{th}$ を統一することにより、設計期間の短縮や設計資産としての使いまわしを行いやすくすることが可能となる。

#### 【0043】

図11には、入出力回路に向けた論理部とレベルシフタ及び出力ドライバと入力ドライバの一実施例の回路図が示されている。低い $V_{th}$ のMOSFET（極低 $V_{th}$ 、低 $V_{th}$ ）を使用すると入出力リーク電流が増加し、スペック割れを起こす可能性がある。また、PCI、SDRAMなどのI/Oは要求速度が60～150MHzと低いため、上記論理部のMOSFET Q20～Q25等を高 $V_{th}$ を使用してもスペック割れを起こす可能性が低いため、高 $V_{th}$ を使用してリーク電流を低くする。上記デジタル論理回路の動作電圧に対応した例えば $V_{dd1}=1.8V$ 程度の低振幅の信号を出力回路の動作電圧に対応した例えば $V_{dd2}=3.0V$ のような高振幅の信号に変換するレベルシフタを構成するMOSFET Q26～Q31等や出力ドライバを構成するMOSFET Q32、Q33及び入力ドライバのMOSFET Q34～Q37のような高電圧部も同様に要求速度が低く、高電圧に耐えるために厚膜高 $V_{th}$ を使用する。

#### 【0044】

図12は、データバスやデジタル論理回路に含まれるバスキーパーの一実施例の回路図が示されている。バスキーパーは、ラッチ回路からなり、バスがいずれの回路にも接続されないときに不定レベルになるのを防止する。このため、駆動能力は小さくてよいので高 $V_{th}$ のMOSFETにより構成される。

#### 【0045】

図13には、バックバイアススイッチの一実施例の回路図が示されている。この実施例では、Q40、Q41において前記のように極低 $V_{th}$ や低 $V_{th}$ のMOSFETが用いられる。これらの回路では、回路が何も動作しないスタンバイ状態、つまり入力信号INがロウレベル又はハイレベルに固定された状態でもCMOS回路を構成するMOSFET Q40とQ41を通して電源電圧と回路の接地電位との間で直流電流が流れてしまう。

#### 【0046】

そこで、論理回路部のMOSFET Q40とQ41が形成されるウェルに対し

てスイッチMOSFETQ42、Q43及びQ44とQ45からなるバックバイアススイッチが設けられる。つまり、動作状態ではMOSFETQ42とQ43をオン状態としてPチャネルMOSFETQ40が形成されるウェルには電圧VD1を供給し、NチャネルMOSFETQ41が形成されるウェルには回路の接地電位GNDを供給する。上記電圧VD1は、インバータ回路のPチャネルMOSFETQ40のソースに与えられる動作電圧と同じである。

#### 【0047】

上記論理回路が何も動作を行わないスタンバイ状態では、MOSFETQ42とQ43をオフ状態とし、MOSFETQ44とQ45をオン状態としてPチャネルMOSFETQ40が形成されるウェルには電圧VD2を供給し、NチャネルMOSFETQ41が形成されるウェルには回路の負電圧VBを供給する。上記VD2>VD1の関係にあるため、PチャネルMOSFETQ40のソースとウェル間が逆バイアスの関係となり、同様にNチャネルMOSFETQ41のソースとウェル間が逆バイアスの関係となるために、これらのMOSFETQ40とQ41の実効的なしきい値電圧が基板効果によって大きくなり、上記直流電流を大幅に低減させることができる。

#### 【0048】

図14には、デジタル論理回路に含まれるトリステートバッファの一実施例の回路図が示されている。このトリステートバッファは、例えば前記図12に示したようなバスに出力信号を供給する回路として使用される。このようなトリステートバッファでは、動作マージン確保が必要である。極低Vth、低Vthを使用すると、リーク電流が大きいために誤動作する可能性があるため、高Vthを使用して動作マージンを確保する。

#### 【0049】

図15には、前記図1の方法で設計されたパスの一実施例が示されている。図15(a)においてはFF（フリップフロップ）の間に組み合わせ回路があり、FFの間には、一つの信号伝達経路が存在する。本願発明では、この組み合わせ回路に含まれる複数のMOSFETのうち一つ又は複数のディプレッション型MOSFETで構成することのより、高速動作を可能としている。また、前記図1

に示す方法で設計することにより消費電力が増大することを防ぐことが可能となる。

#### 【0 0 5 0】

図 1 5 (b) においては F F から並列に組み合わせ回路が接続され、その出力をセクタで受けてセクタの出力を F F で受ける構成となっている。セクタは上に書いた並列に接続された組み合わせ回路からの出力を受け、F F に出力するような組み合わせ回路の一例であり、複数の信号出力を受けて必要な機能を果たすべき動作をする組み合わせ回路であるのならば特に制限されない。即ち、図 1 5 (b) で示される構成では、F F の間に複数の信号伝達経路を有することになる。

#### 【0 0 5 1】

前記図 2 の方法で設計された結果、図 1 5 (b) の組み合わせ回路の一部又は全てがディプレッション型 MOS F E T で構成されるものもあり、セクタ等の組み合わせ回路の一部又は全てがディプレッション型 MOS F E T で構成されるものが存在するようになるものもある。即ち、図 1 5 (b) では、2 つの信号伝達経路を示しているが、一方の信号伝達経路に含まれる論理ゲートの数が他方の信号伝達経路に含まれる論理ゲートより多い場合、多くの論理ゲートが含まれる信号電圧経路にのみその一部にディプレッション型 MOS F E T を用い、他方の信号電圧経路には、エンハンスメント型 MOS F E T のみを用いることも可能である。また、両方の信号伝達経路でディプレッション型 MOS F E T を用いることも可能であり、その場合、夫々に用いられるディプレッション型 MOS F E T の数は相違しても構わない。もちろん、これら組み合わせ回路のエンハンスメント型 MOS F E T は、高しきい値と低しきい値の MOS F E T が存在してもよい。このような形のパスによって、リーク電流を抑えつつ、クリティカルパスを高速化して、チップの高速化、低消費電力化を図ることができる。

#### 【0 0 5 2】

図 1 6 には図 2 の方法で設計された半導体チップの機能ブロック図の一実施例が示されている。このチップは画像処理用のプロセッサとされる。それぞれ図 5 と対応して、P L L s 及び D A C がアナログ回路、V L I W-core がデータパス

、その他のユニットがデジタル論理回路を構成する。

#### 【 0 0 5 3 】

P C I - C は、P C I バスとのデータのやり取りを制御する P C I 制御ユニットで、V L I W - core はプログラム制御方式により所定の演算処理を実行し、機能ブロック全体を制御するコア C P U で、V L I W - core 中の I b は命令キャッシュがあり、命令を制御している命令制御ユニットで、D b はデータキャッシュがあり、データを制御しているデータ制御ユニットで、E b は I b の命令キャッシュ中の命令コマンドに基づいて演算処理を行う。J t a g は、J t a g インターフェイスのための回路で、P L L s は機能ブロック全体に基準クロックを逡倍化したものを供給するための一又は複数の回路ブロックである。V f 0、V f 1 は、画像データをスケーリング（拡大、縮小）する回路である。

#### 【 0 0 5 4 】

I I S - C は I I S 規格によるインターフェイス用の制御ユニットである。I I C - C は、I I C 規格によるインターフェイス用の制御ユニット回路である。I E C - C は、I E C 9 5 8 規格によるインターフェイス用の制御ユニット回路である。R O M - C は、外部 R O M フラッシュインターフェイス用の制御ユニット回路である。S C は、シリアルインターフェイス用の制御ユニットである回路である。汎用 I / O は、汎用入出力ユニット回路である。D E S 及び M u l t i 2 は、それぞれ暗号化処理のための回路である。T C I I N 1 及び T C I I N 0 は、それぞれ T C I （トランスポートチャネルインターフェイス）規格のデータとのインターフェイスの入力制御回路である。

#### 【 0 0 5 5 】

N T S C I N 1 及び N T S C I N 0 はそれぞれ I T U 6 5 6 規格のためのデータのインターフェイスの入力制御回路である。G P D P は、汎用通信ユニット回路である。T C I O U T は、T C I （トランスポートチャネルインターフェイス）規格のデータとのインターフェイスの出力制御回路である。N T S C O U T 1 及び N T S C O U T 0 は、それぞれ I T U 6 5 6 規格のためのデータのインターフェイスの出力制御回路である。V L x は可変長符号処理回路である。D R C は、外部のディスプレイに表示をするための回路である。

## 【0056】

Dsは、チップ内のデータ転送を制御するための回路でDMAC（メモリ内のデータを自動で連続的に所定の場所に転送する）の一種である。Mbは、メモリインターフェイスのための制御回路であり、Maは、デコード、エンコード時の動き補償、動き検出処理をするための回路である。DACはデジタルアナログ変換器である。上記説明したIb、Db以外にもメモリが存在する。Vf0、Vf1、DES、Multi2、VLx、Ds、Mb、Maにはメモリが存在し、これら回路は上記機能を果たすために演算制御するためのコプロセッサを持っていてそのキャッシュとしてメモリが存在する。これらメモリは図5、図10に対応して、メモリアレイ、メインアンプ、出力ドライバは高VthのMOSFETで設計されていて、その他周辺回路は低VthのMOSFETで設計されている。

## 【0057】

図17には、前記図16におけるDACの一部が示されている。図17の回路はデジタルデータであるDRCからの表示をするためのデータをデジタルアナログ変換されたデータにおいて増幅が必要な時に増幅をするための回路で、inp, innは相補的な電圧となっていて、ここにアナログ変換されたデータが入力されIROから増幅されたデータが出力されて画像表示データとして出力される。その際IROから出力されたデータは波形整形等の処理をされて出力されてもよい。

## 【0058】

M1が定電流源、M2, M3, M7, M11が差動増幅部であり、M2, M3が差動増幅回路であり、MB1, MB3, M1はnb1の電位に対するカレントミラー、MB4, MB7, M6, M10はnb2の電位に対するカレントミラー、MB5, MB8, M7, M11はnb3の電位に対するカレントミラー、MB6, M5, M9はnb4の電位に対するカレントミラー、M4, M8はna5の電位に対するカレントミラーであり、MB3, MB4, MB7, MB5, MB8は図9のようなカスケード接続を形成している。

## 【0059】

これらカレントミラーはMOSFETがADSS-AVSS間の電位において



多段積みとなっているために、 $ADSS-AVSS$ 間の電位が低い場合には高 $V_{th}$ のMOSFETを使用すると動作が不能となってしまふ。又余りにも $V_{th}$ が低いMOSFETを使用するとゲインが低すぎるために、低 $V_{th}$ のMOSFETを用いる。差動増幅部においては図8に示されたようなMOSFETの $V_{th}$ であり、図8で示されたような効果がある。このように回路を設計する事により、ある程度の高速化を測りつつ、適度なゲインを得ることができる回路を得ることができる。

#### 【0060】

図18はデータパスの構造の一例で、aの方向にビットがビットスライスに並んでいて、bの方向に向かって演算されていく。図7で説明したように演算速度を同一とする必要があるために、図1の方法で置き換えて設計されたものはaの方向においては全て $V_{th}$ が同一であるように設計される。例えばバッファbuffer等をビットスライス毎に低 $V_{th}$ で置き換えていく。又、極低 $V_{th}$ を使用すると極低 $V_{th}$ のMOSFETの割合が大きくなりすぎてしまうために、低 $V_{th}$ と高 $V_{th}$ のMOSFETを用いて作られる。

#### 【0061】

尚、図1のフローチャートがあり、図2にそれに対応した回路の概念図であるが、ここではフリップフロップは低 $V_{th}$ 、極低 $V_{th}$ のMOSFETに置き換えられていないが、フリップフロップを置き換えることにより更に高速化を図ることができ、又本実施例のように高 $V_{th}$ のままにしておくと、フリップフロップのホールドタイム、セットアップタイムの設定が簡単に行う事ができる。

#### 【0062】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、デジタル集積化回路は、ランダム・ロジック回路の他ゲートアレイ等で構成されたものであってもよい。基板バイアス電圧は、チャージポンプ回路により半導体集積回路装置内部で形成するもの他、外部端子から供給される電圧であってもよい。この発明は、CMOS回路で構成された半導体集積回路装置とその高速化方法に広く利用することができる。

**【0063】**

クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路として、エンハンスメント型MOSFETで構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第1信号伝達経路と、複数個の論理ゲート回路のうちエンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型MOSFETに置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第2信号伝達経路とを用いることにより、高集積化及び高速化を可能となる。

**【0064】**

また、クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路の複数個とを備えた信号処理回路をエンハンスメント型MOSFETを用いて設計を行い、上記複数個の信号伝達経路のうち、信号伝達遅延時間が許容される信号伝達遅延時間を超える信号伝達経路を抽出し、上記抽出された信号伝達経路を構成する複数個の論理ゲート回路のうち上記エンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものを、ディプレッション型MOSFETに置き換えて、その信号伝達遅延時間が上記許容される信号伝達遅延時間以下にするという設計ステップを繰り返すことにより、CMOS回路の高速化が可能となる。

**【発明の効果】****【0065】**

本願発明を適用することにより、デジタル論理回路部にディプレッション型のMOSFETを用いる事により、半導体集積回路の高集積化及び高速化が可能となる。

**【図面の簡単な説明】****【図1】**

この発明に係るCMOS回路の設計方法の一実施例を示すフローチャート図で

ある。

【図 2】

図 1 の設計方法に対応したデジタル論理回路の概念図である。

【図 3】

この発明に用いられる極低  $V_{th}$  の N 型 MOSFET の電流－電圧特性図である。

【図 4】

この発明が適用されたデジタル論理回路部におけるパス本数と遅延時間の関係を説明する一例の分布図である。

【図 5】

この発明が適用された半導体集積回路装置の一実施例を示す概略ブロック図である。

【図 6】

図 5 のデジタル論理回路の一実施例を示す回路図である。

【図 7】

図 5 のデータパスの一実施例を示す回路図である。

【図 8】

図 5 のアナログ回路に用いられる差動回路の一実施例を示す回路図である。

【図 9】

図 5 のアナログ回路に用いられるカスケード接続の MOSFET 回路の一実施例を示す回路図である。

【図 10】

図 5 のメモリ部の一実施例を示すブロック図である。

【図 11】

図 5 の入出力回路に向けた論理部とレベルシフタ及び出力ドライバと入力ドライバの一実施例を示す回路図である。

【図 12】

図 5 のデータパスやデジタル論理回路に含まれるバスキーパーの一実施例を示す回路図である。

**【図 1 3】**

図 5 の半導体集積回路装置に設けられるバックバイアススイッチの一実施例を示す回路図である。

**【図 1 4】**

図 5 のデジタル論理回路に含まれるトライステートバッファの一実施例を示す回路図である。

**【図 1 5】**

図 1 5 には図 1 の方法で設計されたパスの一実施例を示す構成図である。

**【図 1 6】**

この発明が適用された半導体集積回路装置の一実施例を示す機能ブロック図である。

**【図 1 7】**

図 1 6 における D A C の一部である一実施例を示す回路図である。

**【図 1 8】**

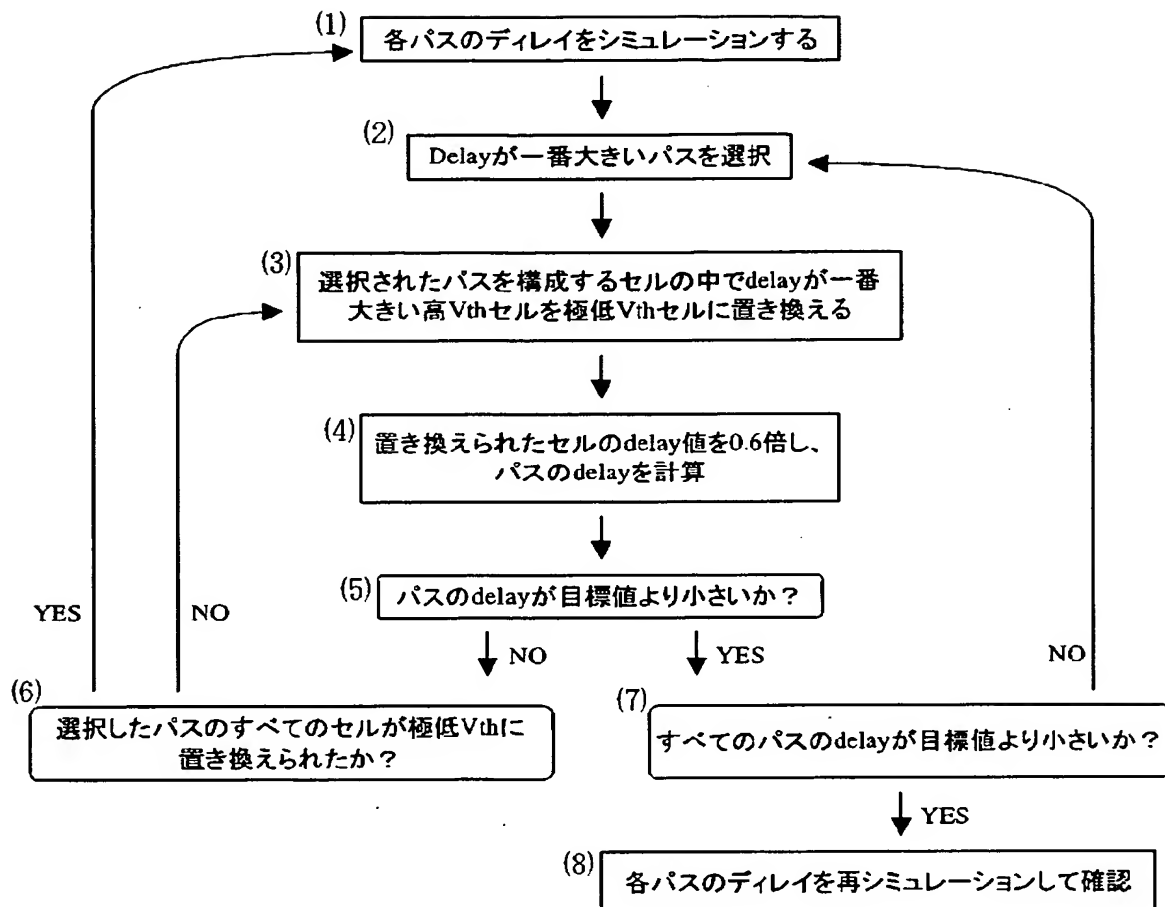
図 5 におけるデータパスの一実施例を示すブロック図である。

**【符号の説明】**

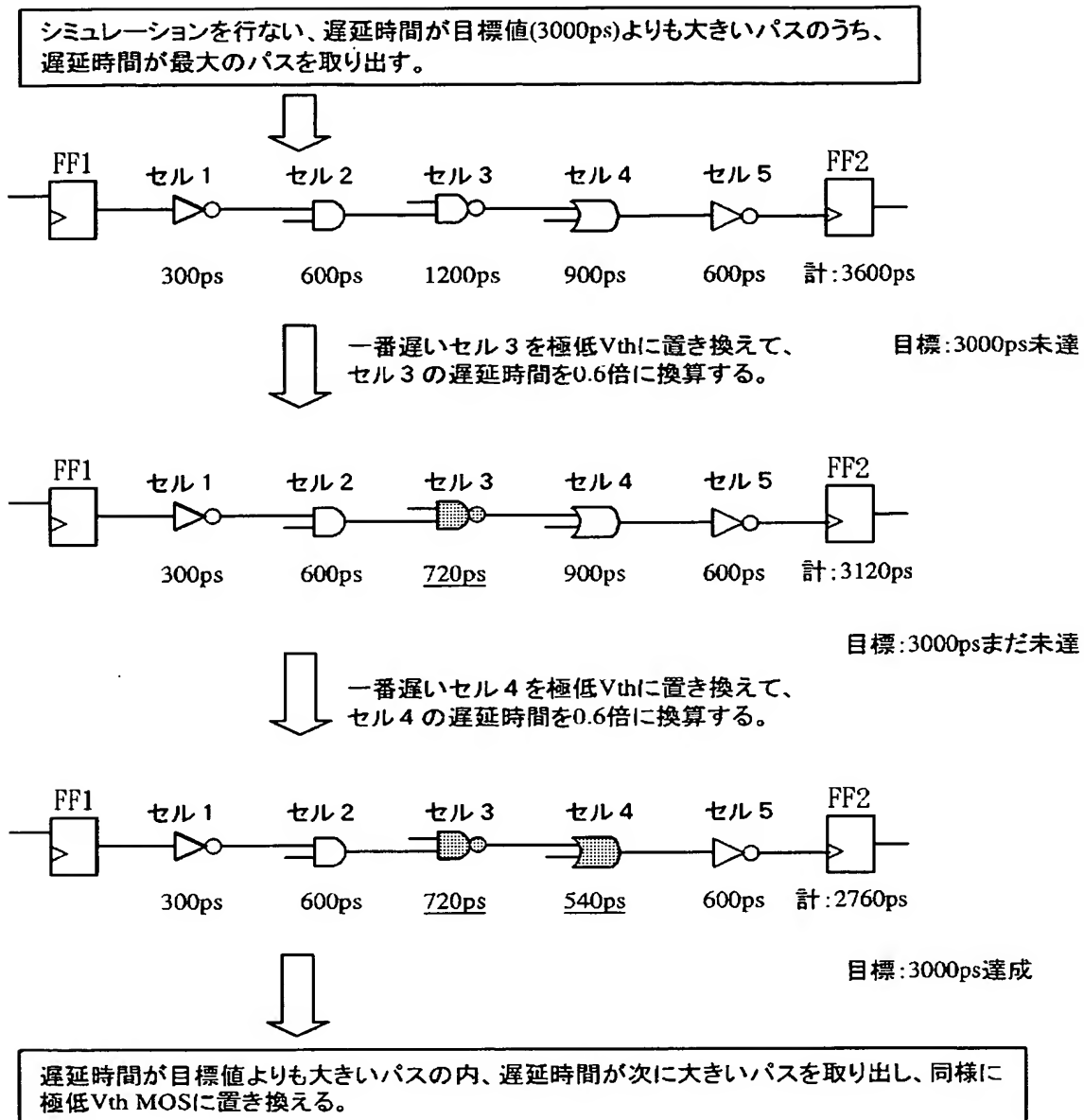
(1) ～ (8) 設計ステップ、F F 1, F F 2 … フリップフロップ回路、a ～ f … 入力信号、x … 出力信号、Q 1 ～ Q 5 9 … M O S F E T。

【書類名】 図面

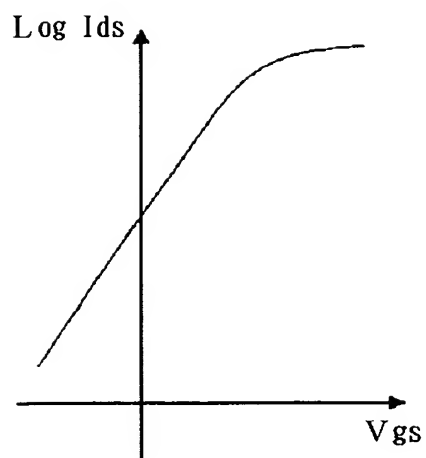
【図 1】



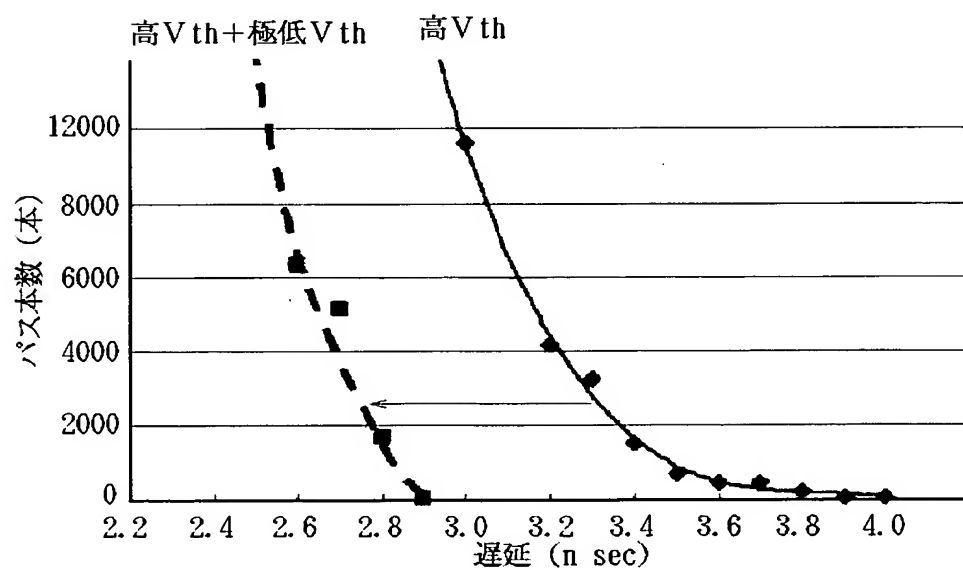
【図 2】



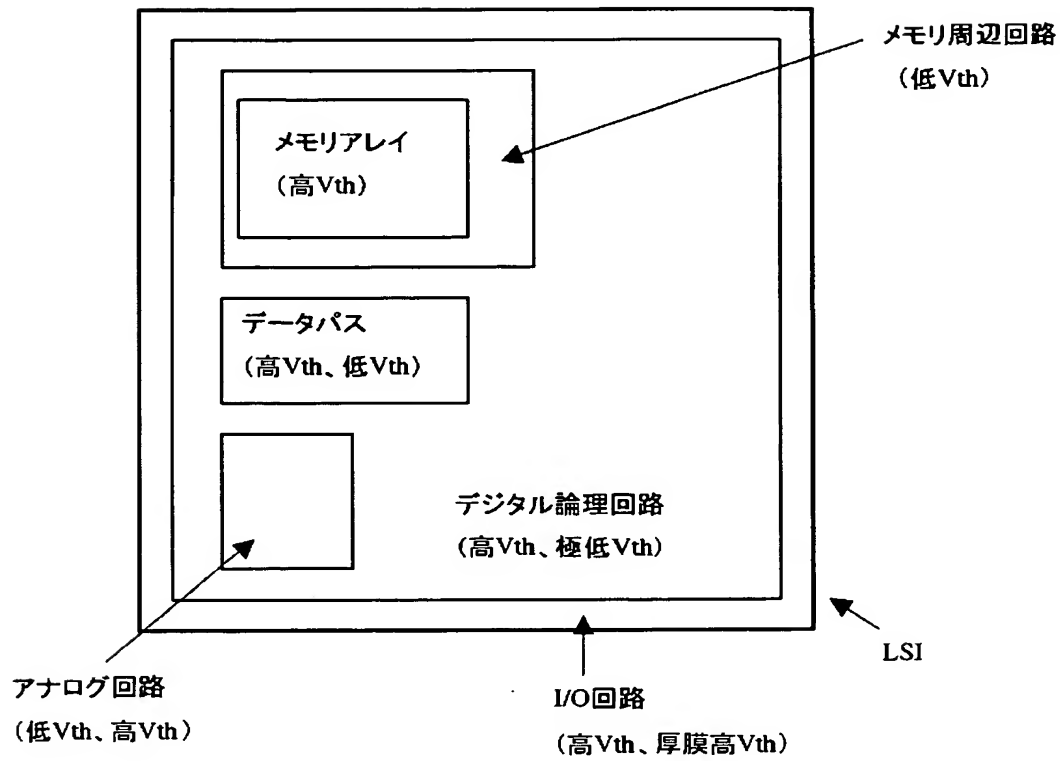
【図 3】



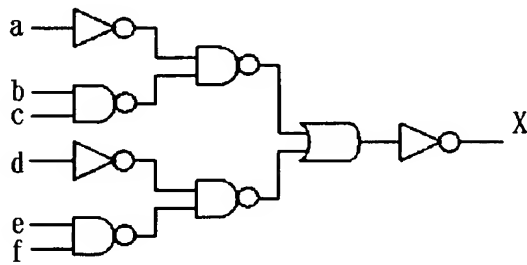
【図 4】



【図 5】

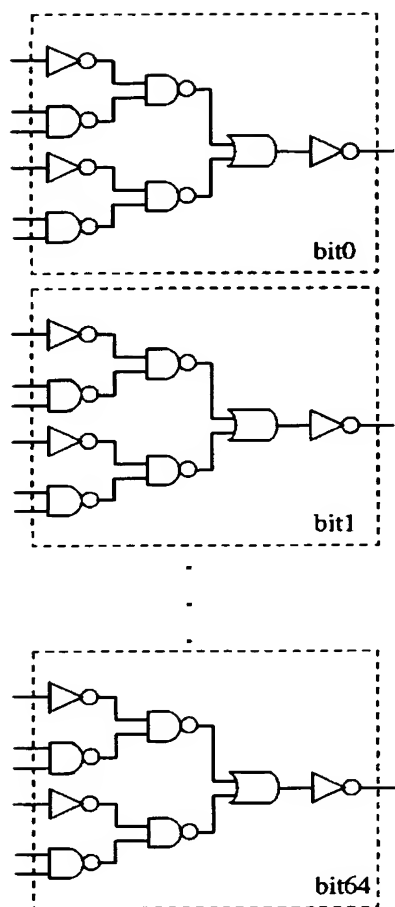


【図 6】

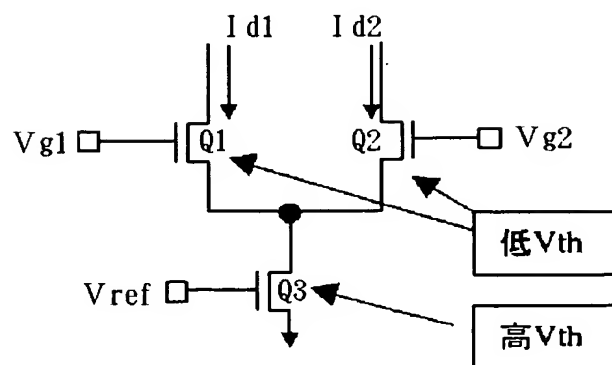




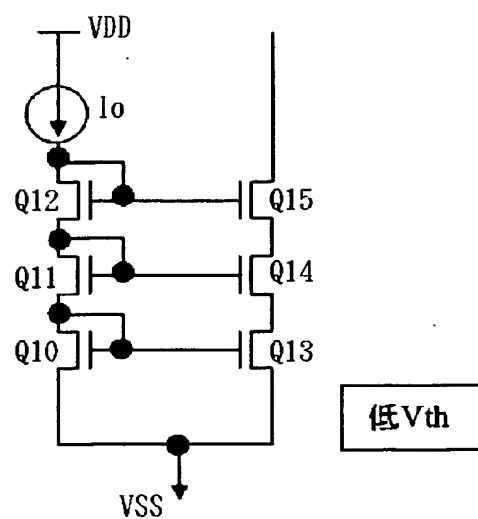
【図 7】



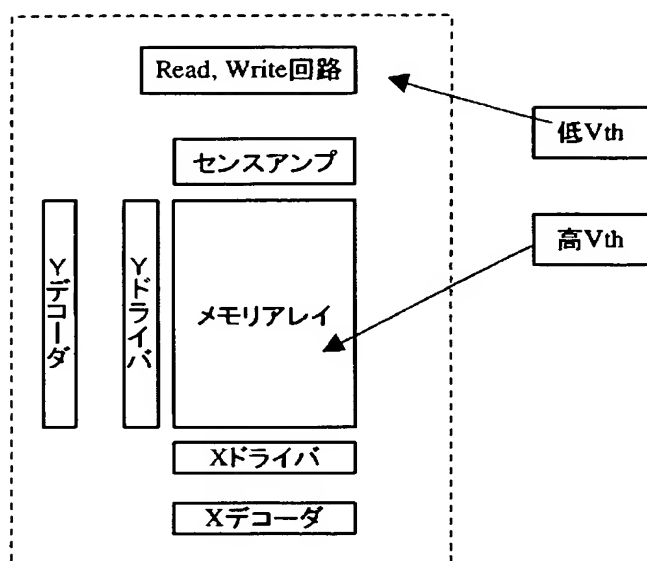
【図 8】



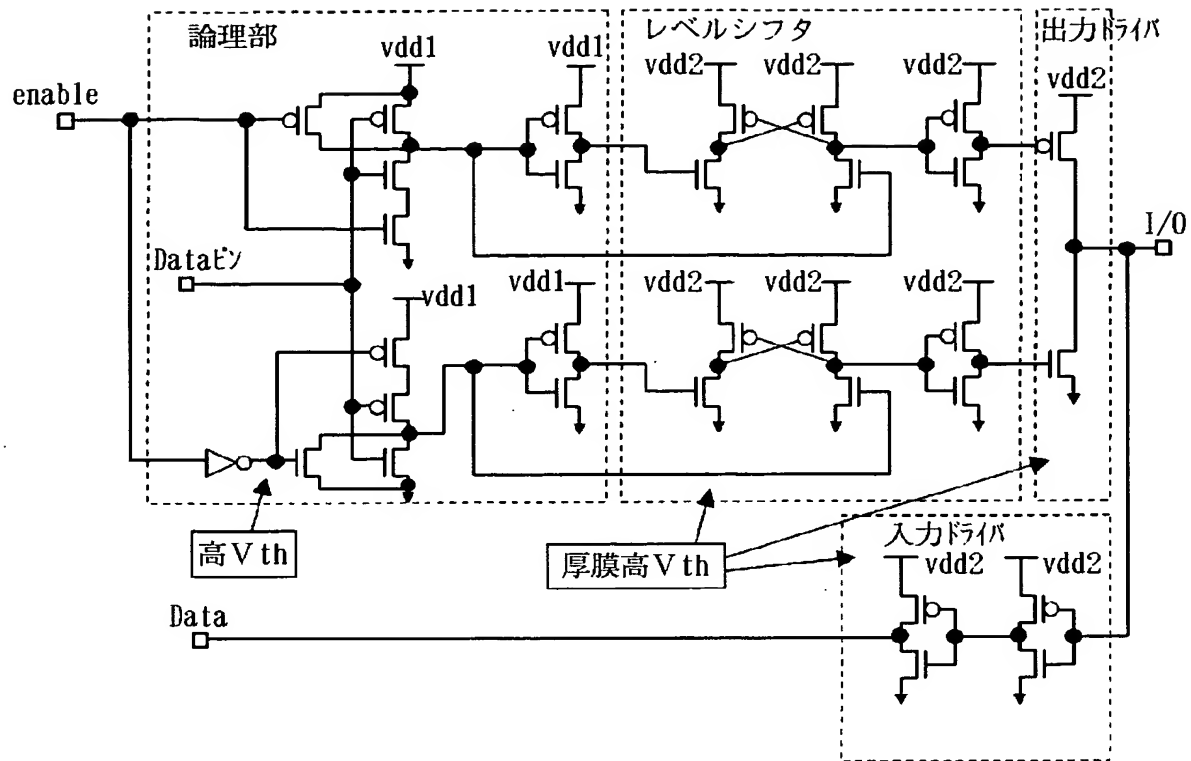
【図 9】



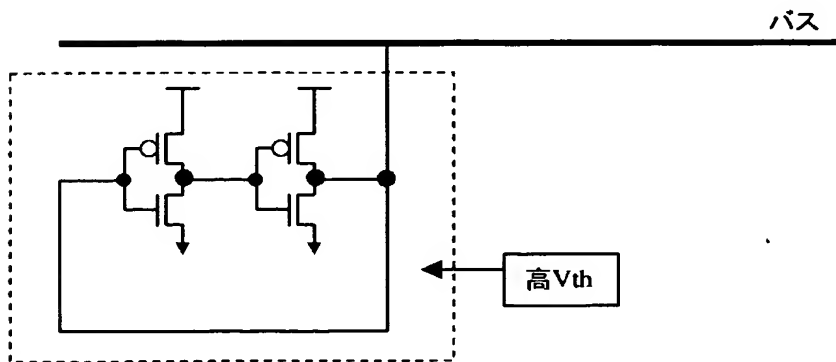
【図 10】



【図 1 1】

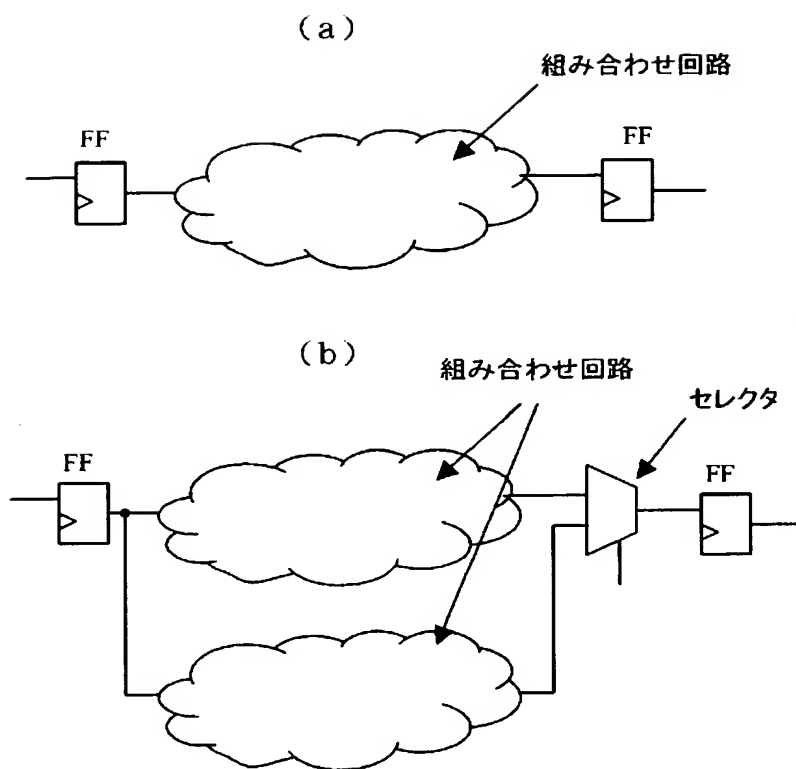


【図 1 2】

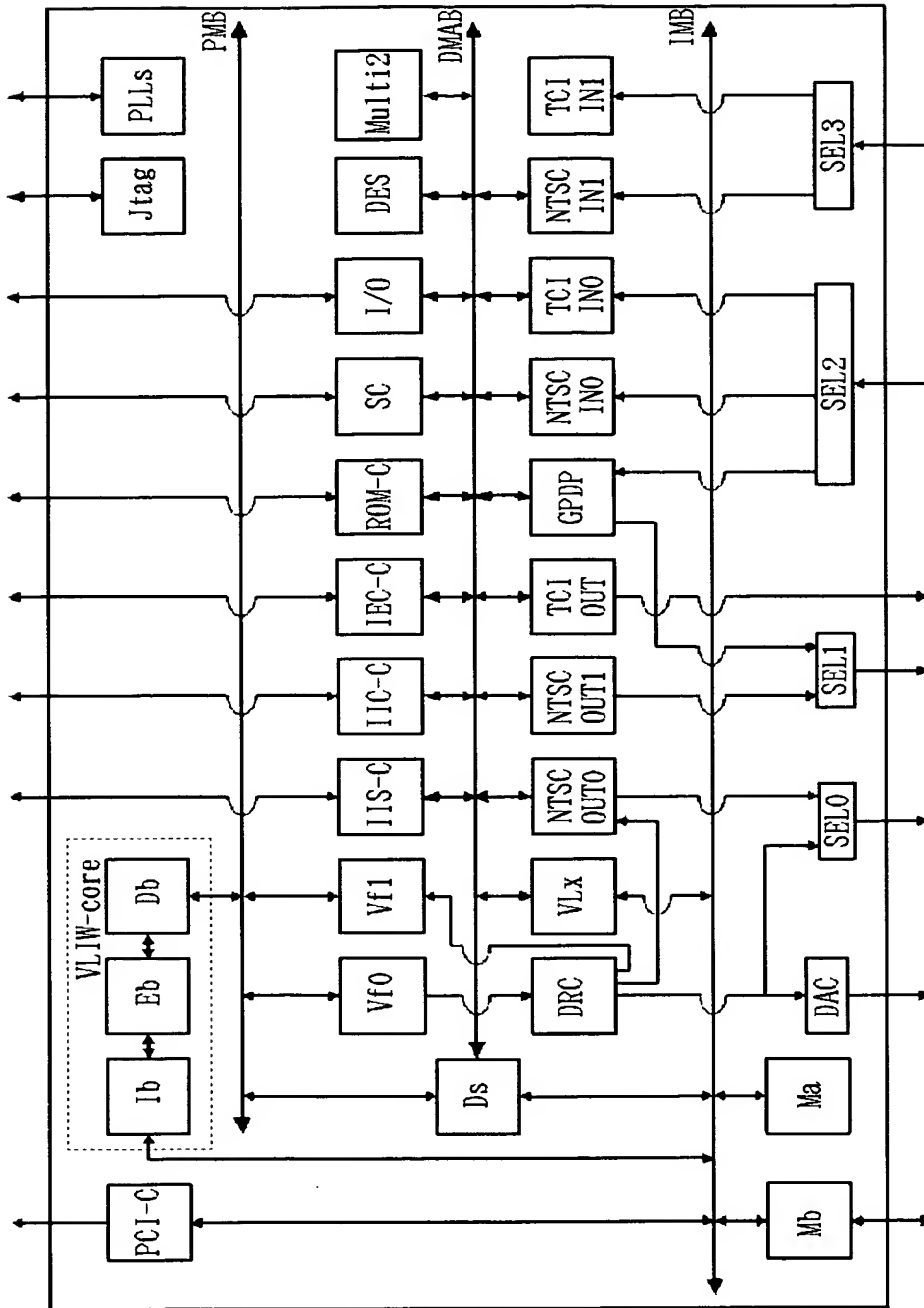




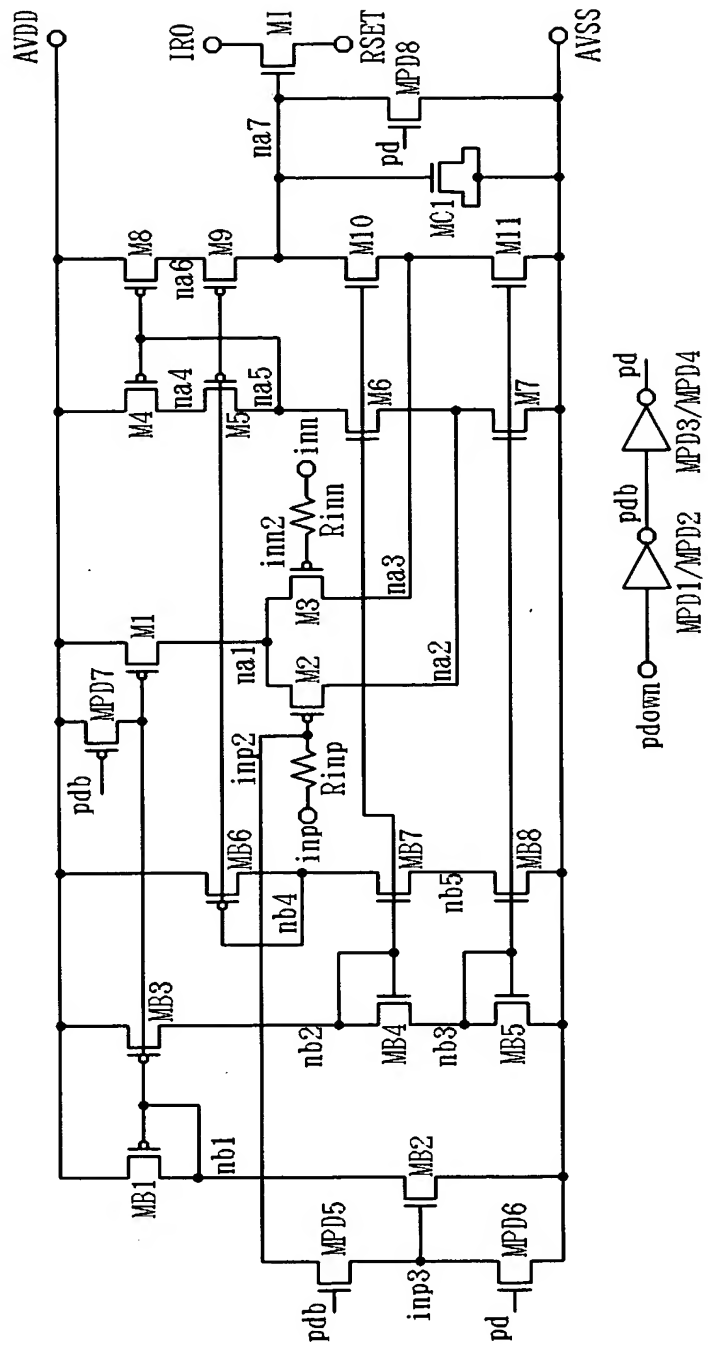
【図 15】



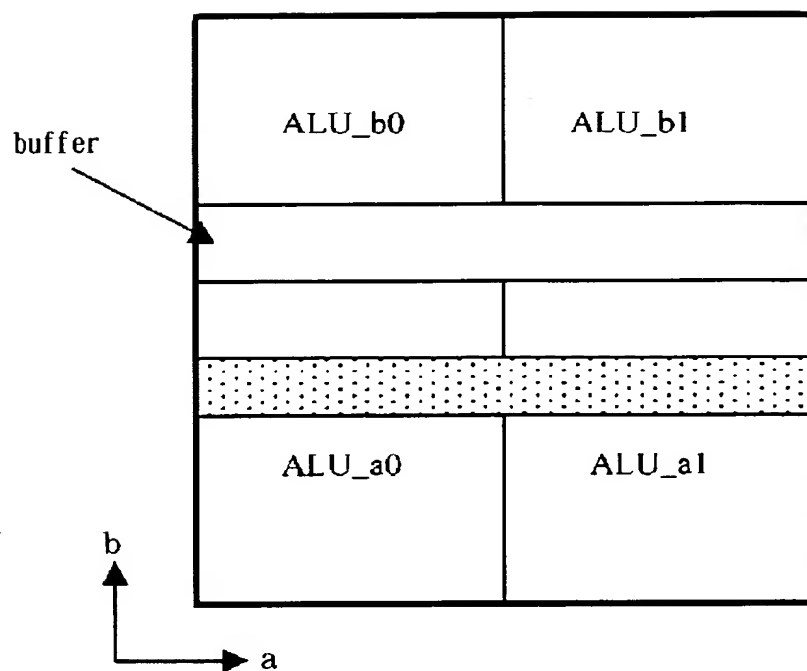
【図 16】



【図 17】



【図 18】





【書類名】 要約書

【要約】

【課題】 高集積化及び高速化を可能とした半導体集積回路装置及び既存のCMOS回路を含んでその高速化が簡単にできるCMOS回路の高速化方法を提供する。

【解決手段】 クロック信号により信号の取り込みと保持を行なう一対のフリップフロップ回路の間に設けられたCMOS構成の複数個の論理ゲート回路からなる信号伝達経路として、エンハンスメント型MOSFETで構成されて、その信号伝達遅延時間が許容される信号伝達遅延時間以下とされる第1信号伝達経路と、複数個の論理ゲート回路のうちエンハンスメント型MOSFETで構成したときに上記許容される信号電圧遅延時間よりも大きな遅延時間を持つものが、ディプレッション型MOSFETに置き換えられることによってその信号伝達遅延時間が上記許容される信号伝達遅延時間以下とされる第2信号伝達経路とを用いる。

【選択図】 図1

特願 2 0 0 3 - 1 7 2 4 8 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所